



1

## 【特許請求の範囲】

【請求項1】 圧縮された画像データを伸張された画像データに変換するソフトウェア手段と；前記伸張された画像データを一時的に保持するフレームバッファメモリ手段と；テキストデータおよびグラフィックスデータを格納するビデオメモリ手段と；前記ビデオメモリ手段から出力される表示データを色変換するパレット手段と；前記フレームバッファメモリ手段から前記伸張された画像データと、前記パレット手段から出力される表示データとを読みだし、伸張された画像データを任意の大きさに拡大または縮小して、表示すべき画面の任意の位置にパレット手段から出力される表示データとを選択的に表示するディスプレイコントローラ手段とを備えたことを特徴とするマルチメディア表示制御システム。

【請求項2】 圧縮された画像データを伸張された画像データに変換するソフトウェア手段と；CRT表示装置用の表示タイミングを前記フラットパネルディスプレイの表示タイミングに変換するために使用されるとともに、前記伸張された画像データを読みだし、任意の大きさに拡大または縮小して、表示すべき画面の任意の位置に表示するディスプレイコントローラ手段とを備えたことを特徴とする、フラットパネルディスプレイを備えたポータブルコンピュータにおける表示制御システム。

【請求項3】 圧縮された画像データを伸張された画像データに変換するソフトウェア手段と；前記伸張された画像データを一時的に保持するために使用されるシングルポートのメモリを使用したフレームバッファメモリ手段と；前記フレームバッファメモリ手段から前記伸張された画像データを読みだし、任意の大きさに拡大または縮小して、表示すべき任意の位置に表示するディスプレイコントローラ手段とを備えたことを特徴とする、フラットパネルディスプレイを備えたポータブルコンピュータにおける表示制御システム。

【請求項4】 圧縮された画像データを保持し、必要に応じてそのデータを読みだすCD-ROM手段と；前記圧縮された画像データを前記CD-ROM手段から読みだし、伸張された画像データに変換するソフトウェア手段と；前記伸張された画像データを一時的に保持するために使用されるフレームバッファメモリ手段と；前記フレームバッファメモリ手段から前記伸張された画像データを読みだし、任意の大きさに拡大または縮小して、表示すべき画面の任意の位置に表示するディスプレイコントローラ手段とを備えたことを特徴とする、フラットパネルディスプレイを備えたマルチメディア表示装置。

## 【発明の詳細な説明】

【0001】

【産業上の利用分野】この発明は、表示制御システムに関し、特にフレームバッファに画像データを格納するマルチメディア表示制御システムに関する。

【0002】

2

【従来の技術】従来よりポータブルコンピュータ用グラフィックスコントローラ（ビデオサブシステム）としてVGA（Video Graphics Array）が使用されている。VGAはディスプレイ表示を制御するメカニズムを備え、解像度640x480画素の表示機能を有している。また近年、ポータブルコンピュータの発達とともに、マルチメディアパソコンと呼ばれるコンピュータが開発されている。このコンピュータでは、テキストデータやグラフィックスデータの他に動画や静止画等の画像データがCRTに表示可能である。画像データの表示は、従来よりテレビやビデオ等で使用されているYUV信号を用いて行われるので、コンピュータ本体に内蔵されているRGBの表示回路を用いてテキストデータやグラフィックスデータを表示し、画像データの表示はオプションボードをコンピュータ本体に接続して行う。このようなオプションボードとしては、例えば、米国C-Cube MicrosystemsのCL-450（Registered Trademark）Development Boardがある。このボードはMPEG（Moving Picture Coding Experts Group）video algorithmを用いて、MPEG compressed video信号を伸張し、YUV信号をRGB信号に変換して出力する。なお、MPEGはカラー動画像蓄積用符号化方式の標準化を進める組織であり、ISO（国際標準化機構）とIEC（国際電気標準会議）が共同で進めるJTCl（情報処理関連国際標準化技術委員会）の下部組織に当たる。一方で、カラー動画像蓄積用の符号化方式を指すこともある。CD-ROMへの応用を考えたMPEG-1と、より高画質を目指したMPEG-2がある。それぞれ転送速度は、1.5Mビット/秒以下と5M-10Mビット/秒である。

【0003】さらに、米国インテル社のDVI（Digital Video Interactive）ボードが知られている。このDVIボードには、画像を圧縮／伸長するための82750PBチップ、画像データを格納するVRAM、画像データの表示を制御する82750DBチップ等が実装されている。

【0004】しかしながら、このようなオプションボードをコンピュータ本体に接続した場合、コンピュータ本体に内蔵されるRGB系の表示サブシステムと、オプションボード上のYUV系の表示サブシステムの2つのサブシステムが存在することになり、回路構成が冗長となる欠点を有している。

【0005】また、ラップトップタイプのポータブルコンピュータの発達とともに、TFTカラーLCD等のフラットパネルを採用したポータブルコンピュータにおいても、テキストデータ、グラフィックスデータ、動画データおよび静止画データ等の画像データの表示およびそれらの混在表示をフラットパネルディスプレイを用いて

10

20

30

40

50

行うことが望まれている。

【0006】このような問題を解決するために、表示デバイスにTFTカラーLCD等のフラットパネルディスプレイを採用したポータブルコンピュータにおいて、本体に標準で実装されているディスプレイコントローラを用いて他の表示コントローラが持つ表示機能の一部を代行することにより、グラフィックスデータと画像データとを共通の表示回路で表示する技術が開発された。このような例としては、例えば特願平4-135189がある。

【0007】また近年これらハードウェアロジックによってテキストデータやグラフィックスデータの他に動画や静止画等の画像データを表示するシステムと同様な機能をすべてソフトウェアによって実現する技術も開発された。例えば米国Microsoft社Video for Windowsや米国インテル社のIndeoが知られている。このうち、Indeoは上記DVIが画像データをソフトウェアで表示する技術であり、DVIボード等の専用ハードウェアロジックが無くても160画素x120画素程度の動画を表示できる。82750DBチップが実装されたDVIボードを使用した場合や、特願平4-135189に開示されているPBチップを使用した場合に比べて画質は劣るが、専用のハードウェアロジックを必要としないため、低価格でシステムを実現できる。この場合、動画や静止画等の画像データはソフトウェアによって伸張され、テキストデータやグラフィックスデータと同様VGA等のグラフィックスコントローラに送られる。グラフィックスコントローラはグラフィックスデータと同様にこの伸張データをCRTやフラットパネルディスプレイに表示する。

【0008】

【発明が解決使用とする課題】しかしながら、このソフトウェアの方法では、グラフィックスコントローラは常に表示のための処理を行っているため、動画の伸張データを取り込む処理に時間がかかってしまう。またVRAMとして安価なDRAMを使用した場合にはさらに処理に時間がかかってしまうため、動画を表示するには十分な転送スピードを得ることができなくなり、結果として表示の画質を低下させてしまうという問題があった。一般的に一秒間に表示できるフレーム数の減少の形で画質が低下する。

【0009】この発明の目的は、表示デバイスのTFTカラーLCD等のフラットパネルを採用したポータブルコンピュータにおいて、本体に標準で実装されているディスプレイコントローラに改良を加えるだけで、テキストデータ、グラフィックスデータ、動画データおよび静止画データ等の画像データの表示およびそれらの混在表示を高画質でフラットパネルディスプレイ上に表示することのできる表示システムを提供することである。

【0010】

【課題を解決するための手段および作用】上記目的を達成するために、この発明のマルチメディア表示制御システムによれば、圧縮された画像データを伸張された画像データに変換するソフトウェア手段と；前記伸張された画像データを一時的に保持するフレームバッファメモリ手段と；テキストデータおよびグラフィックスデータを格納するビデオメモリ手段と；前記ビデオメモリ手段から出力される表示データを色変換するパレット手段と；前記フレームバッファメモリ手段から前記伸張された画像データと、前記パレット手段から出力される表示データとを読みだし、伸張された画像データを任意の大きさに拡大または縮小して、表示すべき画面の任意の位置にパレット手段から出力される表示データとを選択的に表示するディスプレイコントローラ手段とを備えている。

【0011】この発明によれば、ソフトウェアで動画を伸張するシステムにおいて、最小限のハードウェアの追加によって画質の低下を防ぐことができる。さらに、モノクロLCDのために、CRTの表示タイミングをモノクロLCDの表示タイミングに変換するためのフレームバッファを有しているが、TFTカラーLCDの場合にはタイミングを変換する必要が無いため、フレームバッファを使用しない。このため、ソフトウェアにより伸張した画像データをフレームバッファに格納することにより、モノクロLCD用フレームメモリと、画像データのためのビデオメモリとを共通のメモリ（フレームバッファ）で構成している。従って、表示システムの簡素化が図られる。さらにソフトウェアにより伸張した画像データを格納するフレームバッファはDRAMで構成されているので、安価な表示システムが得られる。

【0012】このようにしてソフトウェアで動画を伸張するシステムにおいて、最小限のハードウェアの追加によって画質の低下を防ぐ効果がある。また従来の82750DBチップが実装されたDVIボード等を使用した場合や、特願平4-135189に開示されているPBチップ等を使用して動画を表示するシステムに比べて、安価な表示システムを提供できる。

【0013】

【実施例】図1はこの発明のマルチメディア表示制御システムの全体を示すブロック図である。central processing unit (CPU) 1、メインメモリ3、ビデオキャプチャボード5、およびマルチメディアディスプレイコントローラ7がCPUバス9に接続される。システムバスコントローラ11はCPUバス9とシステムバス13に接続される。システムバス13にはさらに、CD-ROMコントローラ15が接続され、CD-ROMコントローラ15には、CD-ROM17が接続されている。ビデオデコーダ19にはシステムバス13、フレームバッファメモリ21、およびマルチメディアディスプレイコントローラ7と接続されている。さらに、マルチメディアディスプレイコントローラ

7にはフレームバッファメモリ23、25、フラットパネルディスプレイ(FPD)27、およびCRT29が接続されている。フレームバッファメモリ23は例えばVGA表示データを格納するのに使用される。フレームバッファメモリ25は動画データを格納するのに使用される。動画や静止画等の圧縮された画像データの伸張は、例えば米国インテル社のIndeo(米国Intel Corporationの登録商標)で行う。Indeoは従来のDVI(Digital Video Interactive)(米国Intel Corporationの登録商標)で行われていた画像データの圧縮、伸張、表示をソフトウェアで行う技術であり、DVIボード等の専用のハードウェアロジックが無くても160画素x120画素程度の動画を表示できる。

【0014】図1において、メインメモリ3に格納されている動画伸張プログラムは、例えばCD-ROM17に格納された圧縮画像データをCR-ROMコントローラ15、システムバスコントローラ11経由で読み込み、伸張し、YUVフォームあるいはRGBフォームでマルチメディアディスプレイコントローラ7に出力する。マルチメディアディスプレイコントローラ7は、通常のフレームバッファメモリ23を使ったテキストデータやグラフィックスデータの表示処理の他に、静止画、動画の各表示あるいはそれらの混在表示のための各表示タイミングが重ね合わせのための処理や、表示領域の制御、拡大縮小処理、フレームバッファメモリ25への動画データの書き込みおよび読みだしの制御を行う。なお、フレームバッファメモリ25にはMPEGビデオデータや後述するDVIビデオデータ等の動画データの他にJPEG(Joint Photographic Experts Group)等の静止画も格納できる。以下、この発明の実施例で画像データとは動画データおよび静止画データを含む。なお、JPEGはカラー静止画符号化方式の標準化を進める組織であり、ISO(国際標準化機構)とCCITT(国際電信電話諮問委員会)の共同組織である。一方で、カラー静止画像の符号化方式を指すこともある。

【0015】図2は図1に示すマルチメディア表示制御システムにおいて、メインメモリ3に格納されている動画伸張プログラムから供給される動画データを、コンピュータ本体内に設けられるフレームバッファに格納する際の概念を示す図である。なお、図2において図1と同一部分は同符号を付す。この実施例では、CRT表示タイミングをモノクロLCDタイミングに変換するためのフレームバッファ25を用いて動画データを格納することにより、CRTからLCDへの表示タイミング変換用バッファと、動画データ格納用フレームバッファを持つという冗長性を除去し、回路の簡素化を計っている。

【0016】図2において、コンピュータ本体に内蔵されているグラフィックサブシステムは、グラフィックソ

フトウェアを表示するための表示サブシステムであり、例えばVGA Video Graphics Array)で構成される。メインメモリ3に格納されている動画伸張プログラムは、CPUバス9を介して供給される画像圧縮データを伸張する機能を有する。画像圧縮データは例えばCD-ROM17またはハードディスク6等に格納されている。画像圧縮データは伸張された、CPUバス9を介してフレームバッファ25に出力される。フレームバッファ25についての詳細は、USSN 07/906, 834に記載されている。

【0017】フレームバッファ25には2つの役割がある。1つは、表示装置がモノクロLCD(Liquid Crystal Display)の場合に、CRTのタイミングでフレームバッファに書かれた表示データをモノクロLCDのタイミングで読みだすことにより、CRTのタイミングでモノクロLCDにデータを表示するのに使用される。もう1つの役割は、表示装置としてTFTカラーLCDが使用されている場合には、フレームバッファ25を用いてCRTタイミングをLCDタイミングに変換する必要がないので、このフレームバッファ25を、画像伸張データを格納するメモリとして使用する。

【0018】VGAメモリ23はVGAグラフィックサブシステムにおける表示データを記憶するVRAMである。VGAメモリ23にはCPUによりCPUバス9を介して表示データが書かれる。VGAメモリ23に格納された表示データは表示のリードポートを介して読みだされ、パレット39に出力される。パレット39は表示データを色変換し、マルチプレクサ41に出力する。マルチプレクサ41はパレット39からの表示データとフレームバッファ25からの画像データを選択し、表示装置がCRTの場合にはDAC47に出力し、表示装置がカラーLCDの場合には、カラーLCD階調回路45に出力する。

【0019】なお、図2において、破線で囲ったVGAコアと書かれている部分が従来より知られているVGAチップ(例えば、1988年12月9日に米国Paradise Systems, Inc.から発行されたPVGA1A仕様書に示されている"PVGA1A"チップ)の部分であり、この発明ではさらにパレット39、マルチプレクサ41、モノクロLCD階調制御回路43、カラーLCD階調制御回路45、DAC47を付加して、1チップLSIで構成している。

【0020】以下、表示装置がモノクロLCD、カラーLCD、およびCRTの場合のそれぞれの表示データの流について説明する。モノクロLCDの場合には、VGAメモリ23に記載されている表示データが表示リードポートを介して読みだされ、フレームバッファ25のライトポートを介して、フレームバッファ25に書き込まれる。フレームバッファ25に書き込まれた表示データ

は、モノクロLCDの表示タイミングで読みだされ、モノクロLCD用階調制御回路43を介してモノクロLCDに出力される。

【0021】カラーLCDの場合には、VGAメモリ23から読みだされた表示データがパレット39において色変換され、フレームバッファ25に格納された画像データとマルチプレクサ41により選択され、カラー階調制御回路45を介してカラーLCDに出力される。

【0022】CRTの場合には、VGAメモリ23から出力された表示データがパレット39を介して色変換され、フレームバッファ25に格納された画像データとマルチプレクサ41により選択され、DAC47でアナログデータに変換されてCRTに出力される。

【0023】なお、図3と図4に示すようにVGAの表示画面上にMPEGビデオデータ用のウィンドウを切り、VGAとMPEGビデオデータの各表示データを混在表示させることができる。この混在表示の方法としては、2通りある。第1の方法は、図4に示すようにVGAの表示データもMPEGの表示データとともに、24ビット構成にして表示する方法である。これは、フレームバッファ25にVGAの表示データとMPEGの表示データを書き込み、カラーLCDまたはCRTに表示する。しかしながら、グラフィックスデータは、16色または256色で十分であり、1ピクセルあたり16ビットも必要ない。反面書き込みスピードが重要であり、16ビット書き込む場合は4ビット(16色)や8ビット(256色)に比べて書き込みスピードが落ちると言う欠点がある。

【0024】第2の方法は、図3に示すようにVGAのグラフィックスデータを1ピクセルあたり4ビット(16色)または8ビット(256色)構成として、画像データの表示のみを16ビット構成にして表示する方法である。この構成では、グラフィックスデータのアクセスは4ビットまたは8ビットのみのアクセスで済むので高速処理が可能である。これは、VGAのグラフィックスデータをVGAメモリ23、パレット39を介してマルチプレクサ41に出力するとともに、フレームバッファ25の画像データをマルチプレクサ41に出力し、マルチプレクサ41により切り替え制御してカラーLCDまたはCRTに出力する方法である。

【0025】なお、上述した実施例では、TFTカラーLCDを用いたがSTNカラーLCDを用いるように構成してもよい。図5は図2に示した動画データのフレームバッファ25への書き込み、およびフレームバッファ25からの動画データの読みだし制御の詳細ブロック図である。なお、図1および図2と同一部には同符号を付す。

【0026】表示領域およびライト用FIFO制御部49は動画制御レジスタ51からの制御情報にもとずいて表示領域の制御ならびにライト用FIFO53を制御す

る。拡大・縮小およびリード用FIFO制御部55は動画制御レジスタ51からの制御情報にもとずいて動画データの拡大・縮小およびリード用FIFO57の制御を行う。重ね合わせ制御部59は、動画制御レジスタ51からの制御情報にもとずいて、リード用FIFO57から読みだされた動画データと、RAM39から読みだされた表示データを重ね合わせて混在表示を行うようにマルチプレクサ41の切り替えタイミングを制御する。RAMDAC制御回路61はパレット39を用いてCRT制御回路63から出力される8ビットデータ(P7-0)をRGB各6ビットデータに変換する。DAC47はマルチプレクサ41から出力される動画データまたは表示データをRGBの各アナログ信号に変換する。

【0027】この実施例では、CPUバス9から出力される伸張された動画データを縦横に拡大または縮小し、画面の任意の位置に表示することができる。動画データは、例えば360x240ドット、60フレーム/sの画像データである。データ幅は16ビットで65、536色表示が可能である。縮小/拡大は縦横独立に1/64単位で行い、最大1024x512ドットまでの範囲に表示できる。

【0028】動画データはフレームバッファ25にライトされる。フレームバッファから表示する領域(これは動画制御レジスタ51により定義する)に応じてリードし、ビデオメモリからの表示データと合成してビデオDACに入力される。

【0029】フレームバッファ25へのメモリアクセスは16ビットで1画素アクセスになる。動画データの表示サイズは、スタートX方向/スタートY方向レジスタおよびサイズX/サイズYレジスタにより決まりフレームバッファ25にライトされる。フレームバッファ25へのライトを止めることにより、動画表示を静止することができる。

【0030】フレームバッファ25に書き込むデータは16ビットで構成される。この場合、RedデータおよびBlueデータは5ビットで、Greenデータは6ビットで構成される。図6に動画データの構成を示す。

【0031】動画データを格納するフレームバッファ25は図5に示すビデオメモリ(256Kx16)67の内1350Kビット(360x240x16ビット)が使用される。図7にフレームバッファ25のメモリ構成を示す。

【0032】動画データをリアルタイムで表示するためには、CPUバス9からの動画データをそのままフレームバッファ25にライトし、画面(VGA)を表示する時間内に、フレームバッファ25から360x240ドットx16ビット/画素の動画データをリードする必要がある。フレームバッファ25からの動画データリードは、縮小処理を行うためライン単位に行う。

【0033】1ライン表示時間(水平周期)の内、動画

リード時間 ( 3 6 0 ドット x 1 6 ビット ) とリフレッシュ時間を除いた時間が、動画データのライトに割り当てられる。

【 0 0 3 4 】 動画データライトでは、CPUバス9からの動画データをライト用 FIFO ( 8 ドット : 8 x 1 6 ドット ) ( 後述 ) に蓄え、フレームバッファ 2 5 から動画データをリードしている間にライト用 FIFO がいっぱいになったらフレームバッファ 2 5 にライトする。CPUバスから動画データを途切れることなく最短 2 画面 ( VGA ) 表示する時間でライトを完了する。図 8 に動画データのリード / ライト ( 3 0 フレーム / s ) のタイミングを示す。

【 0 0 3 5 】 動画データリードでは、1 ライン毎のデータがリード用 FIFO ( 3 6 0 ドット : 3 6 0 x 1 6 ビット ) ( 後述 ) に格納される。表示する動画データの範囲を水平 / 垂直表示スタートレジスタおよび水平 / 垂直表示エンドレジスタにより定義し、決められた重ね合わせの範囲に表示する。動画データの縮小および拡大は、水平および垂直方向共独立に CPUバス 9 から出力される動画データの 1 / 6 4 単位に行われる。水平および垂直方向の縮小 / 拡大スケールは水平スケールレジスタおよび垂直スケールレジスタに設定される。表示しようとする範囲が、動画データメモリ内の動画データ範囲より小さい場合は縮小、大きい場合は、拡大になる。

【 0 0 3 6 】 表示範囲の縮小は、リードし貯めてあるリード用 FIFO のデータに対し水平方向はある表示ドットを、垂直方向はある表示ラインを間引いて出力する。図 9 に縮小処理における動画データリードの概念図を示す。

【 0 0 3 7 】 表示範囲の拡大は、同様に、水平方向はある表示ドットを、垂直方向はある表示ラインを挿入する。データの挿入方法は、単純に直前のデータを再スキャンする方法と前後のデータの間段階調を計算して挿入する。図 1 0 に拡大処理における中間段階調挿入の概念図を示す。前後のデータ差によっては縞のように表示されることがあり、中間段階調を挿入することにより滑らかな変化を実現できる。動画モードレジスタのビット 1 を設定することにより中間段階調挿入モードとなる。動画データの重ね合わせは、ウインドウとカラーキー領域の組合せで決められる範囲に行う。いずれの範囲に重ね合わせて表示するかを、動画モードレジスタのビット 5 - 2 で選択する。ウインドウは、水平 / 垂直領域スタートレジスタおよび水平 / 垂直エンドレジスタにより定義される。カラーキー領域は、カラー比較レジスタの設定値とカラーデータ ( カラーlookupアップテーブル選択 ) を比較し、全ビットが一致した場合を示す。図 1 1 に重ね合わせの位置を示す概念図を示す。水平表示スタート / エンドレジスタおよび垂直表示スタート / エンドレジスタで決められた表示範囲に対して上記で決められた範囲が一致していない場合、その場所の重ね合わせは無視さ

れる。動画データの開始位置は、スタートアドレスレジスタ値により決定される。

【 0 0 3 8 】 動画データを水平および垂直方向にパニングすることができる。パニングに必要なカラムアドレスおよびロウアドレスを水平パニングおよび垂直パニングレジスタに設定する。

【 0 0 3 9 】 ビデオ DAC のカラーlookupアップテーブルから出力される 1 8 ビットの RGB データとフレームバッファから読みだされた 1 6 ビットの動画データの重ね合わせは、動画データの RGB を RGB データの MSB に合わせて行う。動画データの R データおよび B データの最下位ビットには " 0 " が挿入される。図 1 2 に RGB データと動画データの重ね合わせの概念図を示す。

1. 動画モードレジスタ  
 D 7 : 動画データ入力 0 : デコーダ 1 : CPU  
 D 6 : 動画表示の静止 0 : 静止しない 1 : 静止  
 D 5 - D 2 : 重ね合わせの範囲 0 : VGA 1 : 動画データ

VGA 画面と動画データを表示する範囲を選択する。

20 【 0 0 4 0 】 OVL 3 カラーキー領域内、ウインドウ内 ( F 3 )

OVL 2 カラーキー領域内、ウインドウ外 ( F 2 )

OVL 1 カラーキー領域外、ウインドウ内 ( F 1 )

OVL 0 カラーキー領域外、ウインドウ外 ( F 0 )

D 1 : 中間段階調挿入 0 : 不可 1 : 可

D 0 : 表示イネーブル 0 : 不可 1 : 可

2. 水平表示スタートレジスタ

D 7 - D 0 : 水平表示スタート

表示する水平方向の始まりを設定する。水平表示スタート / エンドレジスタおよび垂直表示スタート / エンドレジスタで定義された範囲に表示する。設定値は、水平同期信号 ( LPC ) の立ち下がりからピクセルクロック数分、0 - 1 0 2 3 の範囲で水平表示エンドレジスタの値より小さくなければならない。

3. 水平表示エンドレジスタ

D 7 - D 0 : 水平表示エンド

表示する水平方向の終わりを設定する。設定値は、水平同期信号 ( LPC ) の立ち下がりからピクセルクロック数分、0 - 1 0 2 3 の範囲。

4. 垂直表示スタートレジスタ

D 7 - D 0 : 垂直表示スタート

表示できる垂直方向の始まりを設定する。設定値は、垂直同期信号 ( FPC ) の立ち下がりからピクセルクロック数分、0 - 5 1 1 の範囲で垂直表示エンドレジスタの値より小さくなければならない。

5. 垂直表示エンドレジスタ

D 7 - D 0 : 垂直表示エンド

表示できる垂直方向の終わりを設定する。設定値は、垂直同期信号 ( FPC ) の立ち下がりからピクセルクロック数分、0 - 5 1 1 の範囲で設定する。

10  
20  
30  
40  
50

6. スタートアドレスレジスタ (High)

D7: スタートX方向のビット8

D6: サイズXのビット9

D5: サイズXのビット8

D4: サイズYのビット8

D3: 水平トータルドット数のビット9

D2: 水平トータルドット数のビット8

D1: 垂直トータルドット数のビット8

D0: 表示開始アドレス

動画データフレームバッファのリニアアドレス (16ビット) を設定する。

7. スタートアドレスレジスタ (Middle)

D7-D0: 表示開始アドレス

動画データフレームバッファのリニアアドレスを設定する。

8. スタートアドレスレジスタ (Low)

D7-D0: 表示開始アドレス

動画データフレームバッファのリニアアドレスを設定する。

9. 水平領域スタートレジスタ

D7-D0: 水平領域スタート

ウインドウの水平方向の始まりを設定する。水平領域スタート/エンドレジスタおよび垂直スタート/エンドレジスタで定義された範囲に表示する。設定値は、水平同期信号 (LPC) の立ち下がりからピクセルクロック数分、0-1023の範囲で水平領域エンドレジスタの値より小さくなければならない。

10. 水平領域エンドレジスタ

D7-D0: 水平領域エンド

ウインドウの水平方向の終わりを設定する。設定値は、水平同期信号 (LPC) の立ち下がりからピクセルクロック数分、0-1023の範囲に設定する。

11. 垂直領域スタートレジスタ

D7-D0: 垂直領域スタート

ウインドウの垂直方向の始まりを設定する。設定値は、垂直同期信号 (FPC) の立ち下がりからピクセルクロック数分、0-511の範囲で垂直領域エンドレジスタの値より小さくなければならない。

| HZ1-0 | HSL5-0 (D5-D0) | 倍率         | 単位   |
|-------|----------------|------------|------|
| X X   | 0              | 1          | -    |
| 0 0   | X              | 1          | -    |
| 0 0   | 1-63           | 1/64-63/64 | 1/64 |
| 0 1   | 32-63          | 1-2倍       | 1/32 |
| 1 0   | 32-63          | 2-4倍       | 1/16 |
| 1 1   | 32-63          | 4-8倍       | 1/8  |

16. 垂直スケールレジスタ

D7-D6: 垂直方向のズーム倍率

VZ1 VZ0 機能

0 0 ズームしない

0 1 2倍

12. 垂直領域エンドレジスタ

D7-D0: 垂直領域エンド

ウインドウの垂直方向の終わりを設定する。設定値は、垂直同期信号 (FPC) の立ち下がりからピクセルクロック数分、0-511の範囲である。

13. オーバフローレジスタ0

D7-D6: 未使用

D5: 水平表示スタートのビット9

D4: 水平表示スタートのビット8

D3: 水平表示エンドのビット9

D2: 水平表示エンドのビット8

D1: 垂直表示スタートのビット8

D0: 垂直表示エンドのビット8

14. オーバフローレジスタ1

D7: 未使用

D6: 水平パニングのビット8

D5: 水平領域スタートのビット9

D4: 水平領域スタートのビット8

D3: 水平領域エンドのビット9

20 D2: 水平領域エンドのビット8

D1: 垂直領域スタートのビット8

D0: 垂直領域エンドのビット8

15. 水平スケールレジスタ

D7-D6: 水平方向のズーム倍率

HZ1 HZ0 機能

0 0 ズームしない

0 1 2倍

1 0 4倍

1 1 8倍

30 但し、ズームした表示領域が最大表示領域 (1024 x 512) を越える場合は、設定が無効となる。

【0041】D5-D0: 水平方向のスケールフレームバッファに格納されている動画データに対して縮小/拡大の水平方向スケール/64ドットを設定する。設定値は1-63の範囲。0を設定した場合、および2、4、8倍のズーム率で1-31を設定した場合、縮小/拡大を行わない。拡大の場合は、HZ1-0と組み合わせて倍率を設定する。

| HZ1 | HZ0 | 機能 |
|-----|-----|----|
| 1   | 0   | 4倍 |
| 1   | 1   | 8倍 |

但し、ズームした表示領域が最大表示領域 (1024 x 512) を越える場合は、設定が無効となります。

50 【0042】D5-D0: 垂直方向のスケール

動画データメモリに格納されされている動画データに対して縮小/拡大の垂直方向スケール/64ラインを設定する。設定値は1-63の範囲。0を設定した場合、および2、4、8倍のズーム倍率で1-31を設定した場合、縮小/拡大を行わない。

17. カラー比較レジスタ

D7-D0: カラー比較

カラーデータ(カラーlookupアップテーブル選択)とCMP7-0(D7-D0)との比較を行う。全ビットが等しい場合にカラーキー領域として定義される。

18. カラーマスクレジスタ

D7-D0: カラーデータの有効/無効 0: 有効

1: 無効

有効の場合、カラーデータの値がカラー比較レジスタ値と比較される。無効の場合、カラーデータの値に係わらず、比較結果が等しいものとする。

19. 水平バニングレジスタ

D7-D0: 水平バニングカラムアドレス

0-359の範囲で設定する。

20. 垂直バニングレジスタ

D7-D0: 垂直バニングカラムアドレス

0-239の範囲で設定する。

21. 一般制御レジスタ

D7-D3: 未使用(="0")

D2: 動画表示イネーブル信号 0: 入力 1: 出力

D1: 垂直同期極性 0: 正極性 1: 負極性

D0: 水平同期極性 0: 正極性 1: 負極性

図13はCPUバス9からの動画データを受取り、動画データ用フレームバッファ25に書き込むための制御回路を示す回路図である。

【0043】この実施例によれば、動画データのサイズやスタート位置などを示したパラメータレジスタ群をもとにCPUバス9から動画データを受取り、一時保持する書き込み用FIFO53によりCPUバス9から受け取る速度と動画データ用フレームバッファに書き込む速度を調整し、リアルタイムに動画データ用フレームバッファに書き込む。さらに動画データ用フレームバッファ25から読みだす速度と表示する速度の調整および動画データ用フレームバッファ25から読みだしたデータを拡大縮小するために読みだし用FIFO57を有し、

拡大縮小してもリアルタイムに動画データを表示する。【0044】図13においてレジスタ群71はビデオデータからの動画データを保持し、後述するカウンタ73からのカウント値により順番に格納する。カウンタ73はレジスタ群71のうち、動画データを保持すべきレジスタを選択する。カウンタ75はレジスタ群71の値を出力するためマルチプレクサ77により順次選択する。分周回路79はメモリクロックを入力として2分周および16分周の制御クロックを出力する。マルチプレクサ77はレジスタ群71からカウンタ75の出力値に従っ

て選択する。動画制御レジスタ51は動画データの各形式を保持する。領域制御回路49は動画制御レジスタ51の値に従って動画データの表示領域を制御する。メモリ制御回路65は動画制御レジスタ51の値に従って動画データ用フレームバッファ25のアドレス等を制御する。フレームバッファメモリ25は動画データを格納するフレームバッファ機能を有する。

【0045】図14は動画データ用フレームバッファ25からのデータを読みだし、拡大縮小処理を行うための制御回路を示す回路図である。レジスタ群81は動画データ用フレームバッファ25からのデータを保持し、カウンタ83により順番に格納していく。カウンタ83はレジスタ群81のうち、データを保持するレジスタを選択する。カウンタ85はレジスタ群81の値を出力するためマルチプレクサ87により順次選択する。マルチプレクサ87はレジスタ群81からカウンタ85の値に従って選択する。拡大/縮小回路55は動画制御レジスタ51の値に従って拡大縮小処理を行う。動画制御レジスタ51は動画データの各形式を保持する。重ね合わせ制御回路59はマルチプレクサ87の出力とVGAビデオ出力とを重ね合わせる。

【0046】図15は図13および14に示す各制御回路の動作を示す波形図であり、書き込み用FIFOの波形図、メモリライト時の波形図、メモリリード時の波形図、およびリード用FIFOの波形図から成る。

【0047】いま、動画データの形式を16ビット/ピクセル、水平x垂直解像度x周波数が360ドットx240ドットx30Hzの場合で説明する。レジスタ群71は16ビットx8個のラッチで構成され、8ピクセル分の動画データを保持できる。ビデオデコーダからの動画データが入ってくると、8進カウンタ73はピクセル毎にカウントアップする。カウンタのクロックはメモリクロックを16分周したものである。領域制御回路49は動画制御レジスタ51に設定されている動画データのサイズ、スタート位置の値から表示すべき領域を決め、カウンタのイネーブル信号を出力する。このカウンタ値に従って、順次レジスタ群71に動画データが保持される。レジスタ群71が8個全部いっぱいになると、動画データ用フレームバッファ25に書き込むためにレジスタ群71からマルチプレクサ77を用いて順次出力する。このため、8進カウンタ75が用いられる。カウンタ75のクロックは、メモリクロックを2分周したものであり、カウンタ73の8倍の速さで動作する。フレームバッファ25への書き込みは、メモリクロック2クロックで行われ、そのタイミングはメモリ制御回路65により生成される。従って、レジスタ群71から取り出す速度とフレームバッファ25へ書き込む速度は、同じであり、レジスタ群71にCPUバス9から8ピクセル保持する時の第8ピクセル保持時に8ピクセル分の動画データはフレームバッファ25に送られることにな



る。

【0048】この時点で、動画データの動き速度を損なうことなく、フレームバッファ25に格納できている。次に、フレームバッファ25に格納されたデータをフレームバッファ25への動画データ書き込みの隙間に読みだす。読みだす制御はメモリ制御回路65により行われる。フレームバッファ25への書き込みは、図15のメモリライトが”H”の時であり、よってそれ以外の時は読みだし時間として使用できる。読みだし時間は図15のメモリリードが”H”の時である。図15に示すように、動画データを56ドット分書き込む間に360ドット分の動画データが読みだされる。この時間に読みだされたデータはレジスタ群81に保持される。レジスタ群81は16ビット×360個構成である。すなわち、拡大縮小処理のため1ライン分用意されている。このレジスタ群81への保持は360進カウンタ83により順次行われる。このカウンタクロックは、メモリクロックを2分周したものである。レジスタ群81は1ライン分でいっぱいになり、表示するためにマルチプレクサ87を用いて順次出力する。このために、360進カウンタ85が用いられる。カウンタ85のクロックは表示用のピクセルクロックを使用する。また、拡大縮小処理を行うために、拡大／縮小処理回路55によりカウンタ85のイネーブル信号が出力される。拡大／縮小処理回路55は、動画制御レジスタ51に設定されている水平および垂直のスケール率をもとに拡大の処理の場合は、カウンタを止めて複数回スキャンを行い、縮小処理の場合は、カウンタを飛ばして間引いてスキャンを行う。マルチプレクサ87から出力された動画データは、重ね合わせ制御回路59によりVGAビデオ出力と合成される。合成されたビデオ出力はビデオDACの入力となり、アナログデータに変換されてCRT等の外部表示装置に入力される。

【0049】図16は図14に示す拡大／縮小処理回路55の詳細ブロック図である。図16において演算器171は、縮小処理における基本ドット数である64ドットと、水平スケールレジスタ173にセットされた水平方向表示ドット数との演算を行う。水平スケールレジスタ173には64ドットのうち何ドット表示したいかが設定される。32進カウンタ175のD入力端子には初期値”1”が印加され、図17に示すピクセルクロック信号に同期して図17の32進カウンタに示すようにカウントを行う。32進カウンタ175は後述する360進カウンタ85のロード信号を生成する。演算器171の出力は-1回路172により-1されて比較器171のA入力端子に供給される。さらに、比較器171のB入力端子には32進カウンタ175からのQ出力が印加される。比較器177はA、Bの入力を比較し、一致したときその値をマルチプレクサ179に出力する。比較器181は、A入力に印加される水平スケール値と定数”

32”とを比較する。比較器181は縮小率が1/2以下かどうか判断している。これは、縮小率が1/2以下の場合、欠落させるデータよりも表示するデータの方が少ないので表示するデータを得るようにするためである。なお、この詳細については後述する。

【0050】比較器181はA>Bの場合に、比較器177の出力を、それ以外の場合に”1”をマルチプレクサ179が選択するように、選択信号を出力する。マルチプレクサ179からの出力はロード信号として360進カウンタ85（図14に示すカウンタ85）に供給される。演算器185は64ドットを水平方向表示ドット数で割り算する。演算器187は、演算器185からの演算結果に360進カウンタ85の出力を加算する。演算器187の出力は、360進カウンタ85のD入力端子に供給される。360進カウンタ85は図17の360進カウンタRに示すようにカウントを行い、マルチプレクサ87（図14）の選択条件を出力する。演算器189は、-1回路172からの出力（A入力）とズーム倍率（B入力）との演算（A\*B-1）を行い比較器191に供給する。比較器191はカウンタ175からのQ出力と演算器189からの出力との比較を行い一致が取れると、図17に示すズーム信号を拡大制御回路193に出力する。拡大制御回路193はズーム信号にตอบสนองして拡大制御を行い、図17に示すイネーブル信号をカウンタ85に供給する。

【0051】図18は図16に示す拡大制御回路の詳細回路図である。図18において、ピクセルクロックを2分周、4分周、8分周したものがそれぞれANDゲート195、197、199に供給される。さらに水平スケールレジスタの7ビットの値がANDゲート195、197、199に供給される。この実施例では、ビット6、7が”01”の時、1-2倍、”10”の時2-4倍、”11”のとき4-8倍の各倍率となり、ビット0からビット5の6ビットにより32-63の値（1-2倍のときは1/64単位、2-4倍のときは1/16単位、4-8倍のときは1/8単位）が定義される。各ANDゲート195、197、199の出力はORゲート201によりORされて拡大イネーブル信号が作られる。ORゲート203は拡大イネーブル信号とズーム信号のORを取り、ENABLE信号を生成する。

【0052】従来、動画データまたは静止画データの水平方向および垂直方向を縮小してある領域に表示する場合、水平方向は水平方向のスケール値に応じてあるドットを間引き、垂直方向は垂直方向のスケール値に応じてあるラインを間引いている。この間引く方法としては、水平方向ドット数を、水平方向ドット数から表示すべきドット数を間引いた値で割り、-1した値毎に行うのが標準的であった。（図19参照）

しかし、上記の方法では、縮小率が1乃至1/2に於いては有効であるが、縮小率が1/2以下に下ると間引

き回数が連続になるため、連続回数を制御する別の手段を必要とし、回路の増加になり、また、連続回数を適切に制御しなければ特定ドットの欠落を招き、表示品質が悪くなるなどの問題があった。

【0053】この実施例では、任意の画面位置にフレームバッファ内からのデータを縮小して表示するディスプレイコントローラに於いて、縮小率によって場合わけした縮小手段を持ち、リニアな間引き方法を行い表示品質のよいディスプレイコントローラが得られる。

【0054】この実施例では、もとの水平方向の表示データから縮小して表示するデータを得るためにある特定のドットを欠落させることが必要となる。水平方向表示ドット数（水平スケール）を格納してあるパラメータレジスタの出力から欠落させる割合を算出し、カウンタ値と一致した場合に欠落させることにより定期的な欠落を実施する。欠落させるためのイネーブル信号を出力し、これがメモリデータ選択条件を決めるためのラインカウンタのロードイネーブルとなる。メモリデータは複数のラッチで保持され、ライン数分のマルチプレクサにより表示すべき（欠落しない）ドットが選択され、ビデオ出力回路に送られる。欠落させるドットの割合を決め、ラインカウンタのロードイネーブル信号を生成する回路に於いて、その縮小率を場合分けして、最適な欠落の割合を指示し、常に等間隔的に表示ドットを示す。

【0055】図20において、動画制御レジスタ51は水平方向の表示ドット数（水平スケール値）を設定する。演算器91は  $(A \div (A - B)) - 1$  を実行する。演算器93は  $A \div B$  を実行する。演算器95は  $A + B$  を実行する。比較器99は  $A = B$  の場合に有効となる。

( $A = B$  のときに比較器99はロジック"1"を出力し、そうでない場合に、ロジック"0"を出力する) 比較器101は  $A > B$  の場合に有効となる。(  $A > B$  の場合に、比較器101はロジック"1"を出力し、そうでない場合に、ロジック"0"を出力する) カウンタ107はカウンタ109のロード信号を生成する。マルチプレクサ105は比較器101の出力が"0"のとき比較器99の出力を選択し、"1"のとき、定数"1"を選択する。カウンタ103はロード信号LDに応答して定数"1"がセットされ、ピクセルクロック信号に同期してカウントを行う。カウンタ107はマルチプレクサ109の選択条件を出力する。レジスタ111はメモリデータを保持する。マルチプレクサ109はレジスタ111の値を選択する。

【0056】次に、上記構成の動作について説明する。フレームバッファに格納されているデータのサイズが水平方向360ドット、縮小率が1/4と3/4の場合について説明する。水平方向の縮小処理は64ドット単位に行う。従って、縮小率1/4の場合は、水平方向の表示するドット数を示すスケール値が、16ドットに設定されている。縮小率が1/2以下の場合は、欠落させるデ

ータよりも表示するデータの方が少ないので表示するデータを得るようにする。

【0057】まず動画制御レジスタ51から水平方向表示ドット数(=16)が出力され、演算器93で  $64 \div 16 = 4$  が出力される。また、比較器101により  $A = 16$  と  $B = 32$  の比較が行われ、この結果からマルチプレクサ105は"1"を選択する。従って、カウンタ107は常にロードイネーブル状態となり、加算器95により自身の出力値に演算器93の出力値"4"を加えた値をロードする。この結果、カウンタ107の出力値0、4、8、12、... 60となりレジスタ111でラッチされているメモリデータの0、4、8、12、... 60番目のデータをマルチプレクサ109で順次選択し、ビデオ出力回路に送る。

【0058】縮小率3/4の場合は、動画制御レジスタ51から水平方向ドット数(=48)が出力され、演算器91で  $64 \div (64 - 48) - 1 = 3$  が演算されるとともに、演算器93により  $64 \div 48 = 1$  が演算される。カウンタ103の出力値と演算器91の出力値(=3)が比較器99により比較され、一致した場合にイネーブル信号を生成する。比較器101により  $A = 48$  と  $B = 32$  の比較が行われ、マルチプレクサ105により比較器99の出力が選択される。マルチプレクサ105は0、0、1、0、0、1と定期的に出だし、加算器95により自身の出力値に演算器93で示された"1"を加えた値をロードする。この結果、カウンタ107の出力値は0、1、2、4、5、6、8、... 62となり、レジスタ111でラッチされているメモリデータの0、1、2、4、5、6、8、... 62番目のデータを符号11のマルチプレクサで順次選択し、ビデオ出力回路に送る。

【0059】

【発明の効果】以上述べたようにこの発明によれば、ソフトウェアで動画を伸張するシステムにおいて、最小限のハードウェアの追加によって画質の低下を防ぐ効果がある。また、従来の82750DBチップが実装されたDVIボード等を使用した場合や、特願平4-135189に開示されているPBチップ等を使用して動画を表示するシステムに比べて、安価な表示システムを提供できる。

【図面の簡単な説明】

【図1】この発明のマルチメディア表示制御システムの全体を示すブロック図；

【図2】図1に示すマルチメディア表示制御システムの第1の実施例を示すブロック図；

【図3】図2に示す実施例において、4ビットもしくは8ビットのVGAグラフィックデータと、24ビットのMPEG動画データとの混在表示を示す概念図；

【図4】図2に示す実施例において、16ビットのVGAグラフィックデータと、16ビットのMPEG動画デ

ータとの混在表示を示す概念図；

【図5】図2に示した動画データのフレームバッファへの書き込み、およびフレームバッファからの動画データの読みだし制御の詳細ブロック図；

【図6】動画データのビット構成を示す図；

【図7】フレームバッファのメモリ構成を示す図；

【図8】動画データのリード／ライトのタイミングを示す波形図；

【図9】縮小処理における動画データリードの概念図；

【図10】拡大処理における中間階調挿入の概念図；

【図11】動画データと表示データの重ね合わせの位置を示す概念図；

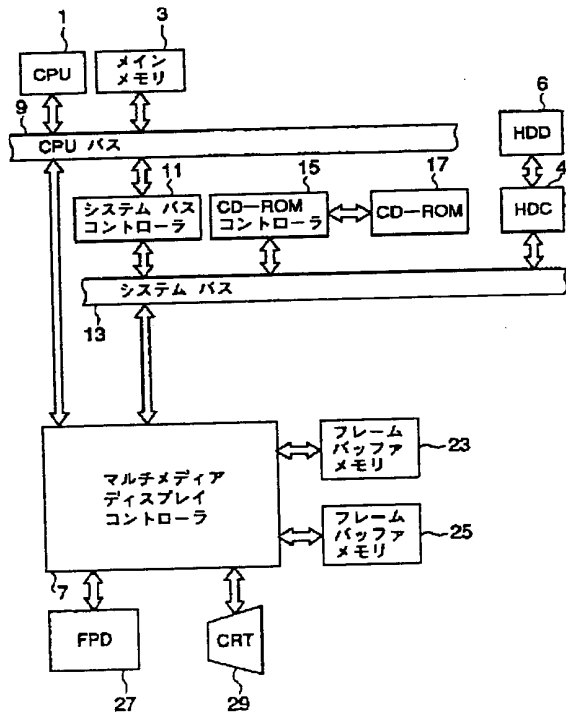
【図12】動画データと表示データの重ね合わせの概念図；

【図13】CPUバスからの動画データを受取り、動画データ用フレームバッファに書き込むための制御回路を示す回路図；

【図14】動画データ用フレームバッファからのデータ読みだし、拡大縮小処理を行うための制御回路を示す回路図；

【図15】図13および図14に示す各制御回路の動作を示す波形図であり、書き込み用FIFOの波形図、メモリライト時の波形図、メモリリード時の波形図、およびリード用FIFOの波形図を示す；

【図1】



【図16】図14に示す拡大／縮小処理回路の詳細ブロック図；

【図17】図16および図18に現れる信号の波形図；

【図18】水平方向の拡大制御のためのブロック図；

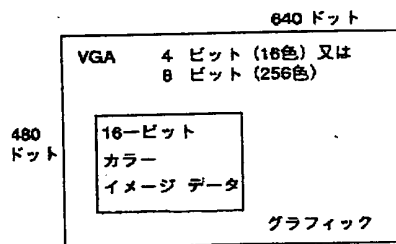
【図19】縮小率3/4（水平方向ドット数64、表示ドット数48）の場合の間引き例を示す波形図；

【図20】水平方向の縮小処理を示す回路図。

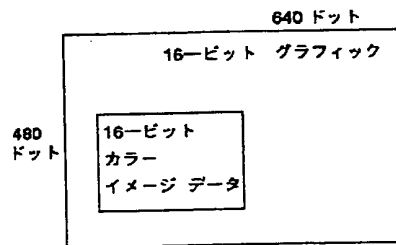
【符号の説明】

- 1…CPU、3…メインメモリ、9…CPUバス、17…CD-ROM、13…システムバス、7…マルチメディアディスプレイコントローラ、23…VGAメモリ、25…フレームバッファメモリ、39…パレット、41…マルチプレクサ、43…モノクロLCD階調制御回路、45…カラーLCD階調制御回路、47…DAC、49…表示エリアライトFIFO制御回路、51…動画制御レジスタ、55…拡大縮小処理回路、65…メモリ制御回路、57…リードFIFO、55…拡大／縮小リードFIFO制御回路、67…ビデオメモリ、59…重ね合わせ制御回路、71、81…レジスタ群、73、75、83、85…カウンタ、79…分周回路、173…水平スケールレジスタ、171、185、187、189…演算器、177、181、191…比較器、193…拡大制御回路

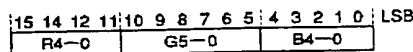
【図3】



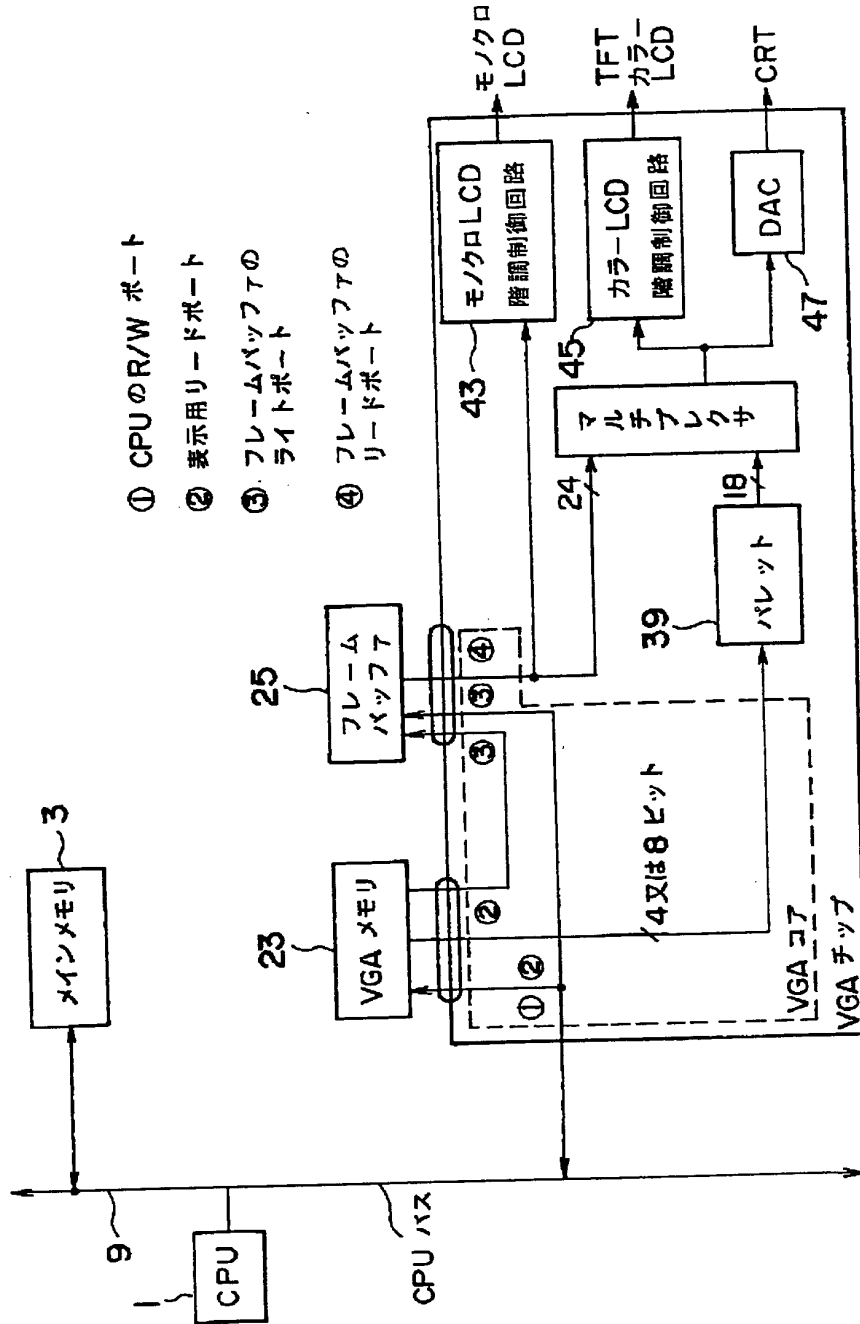
【図4】



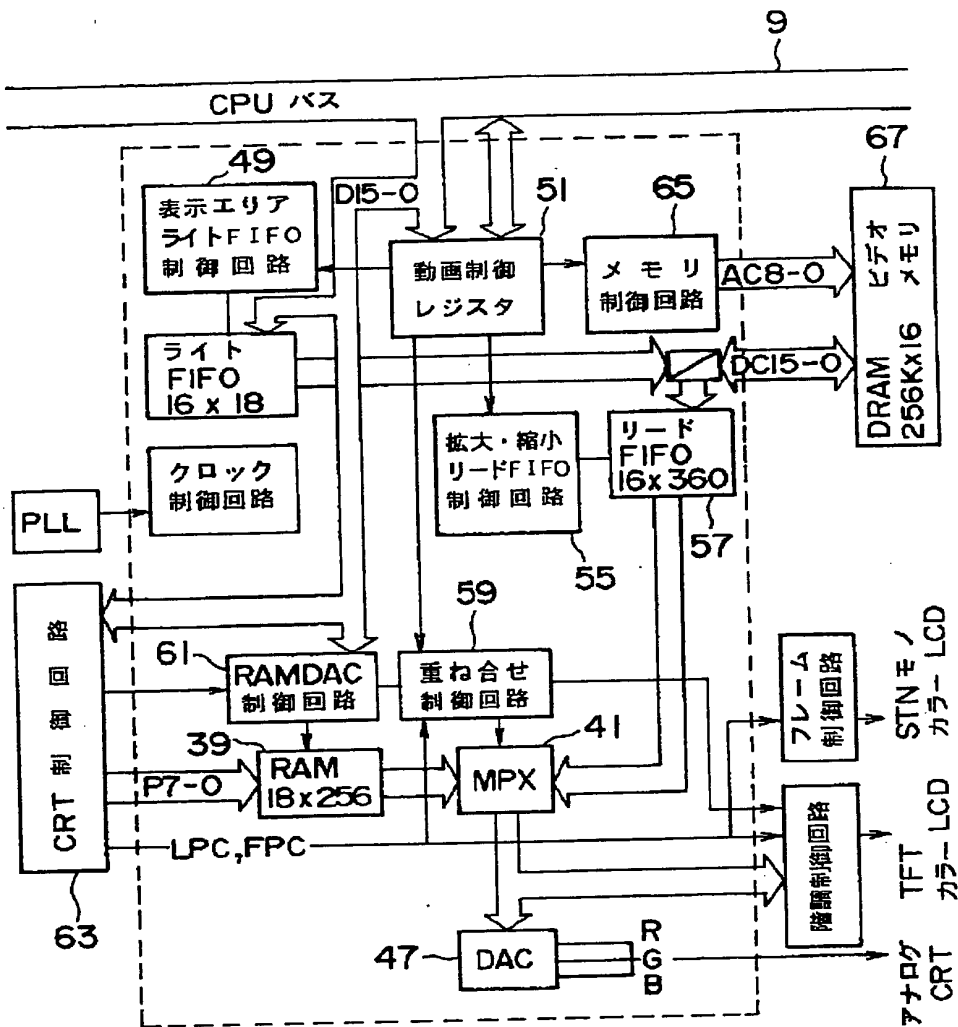
【図6】



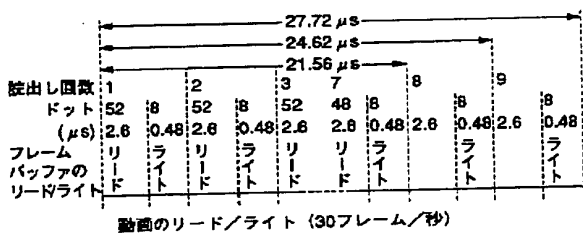
【図2】



【図5】



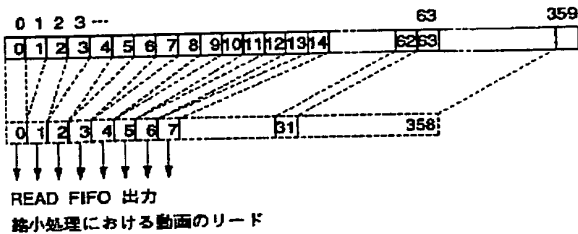
【図8】



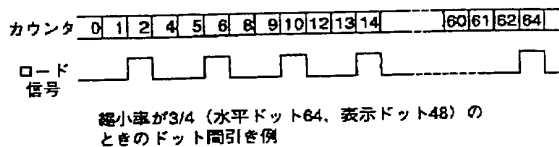
【図12】

|         |      |      |      |
|---------|------|------|------|
| RGB データ | R5-0 | G5-0 | B5-0 |
| 動画 データ  | R4-0 | G5-0 | B4-0 |

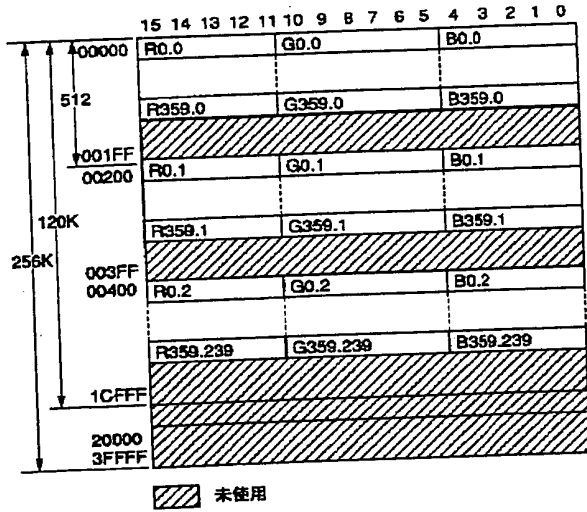
【図9】



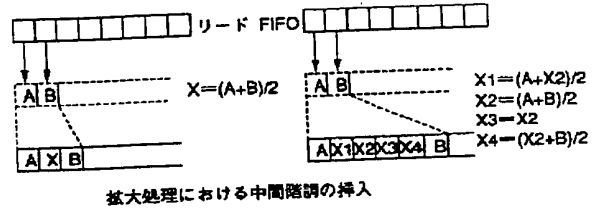
【図19】



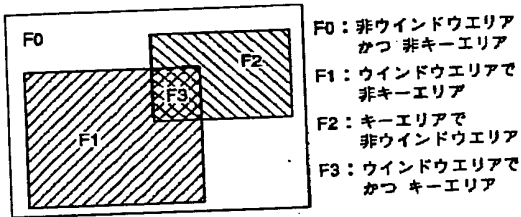
【図7】



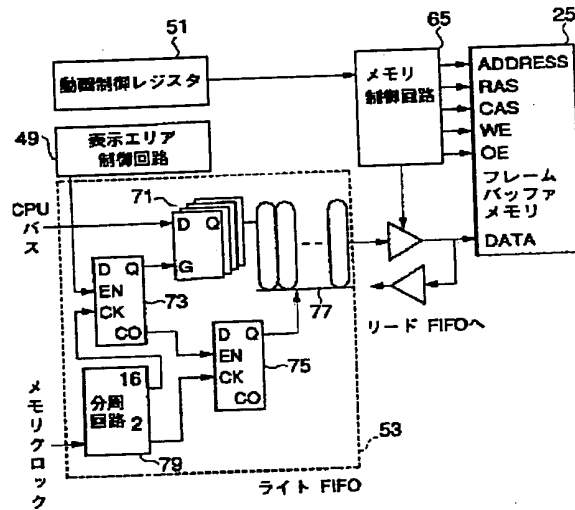
【図10】



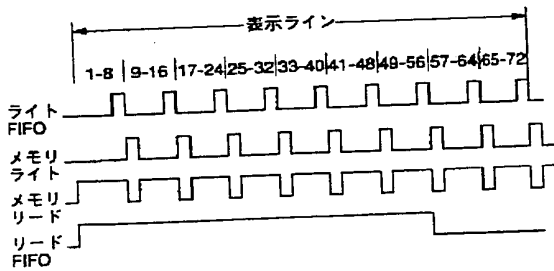
【図11】



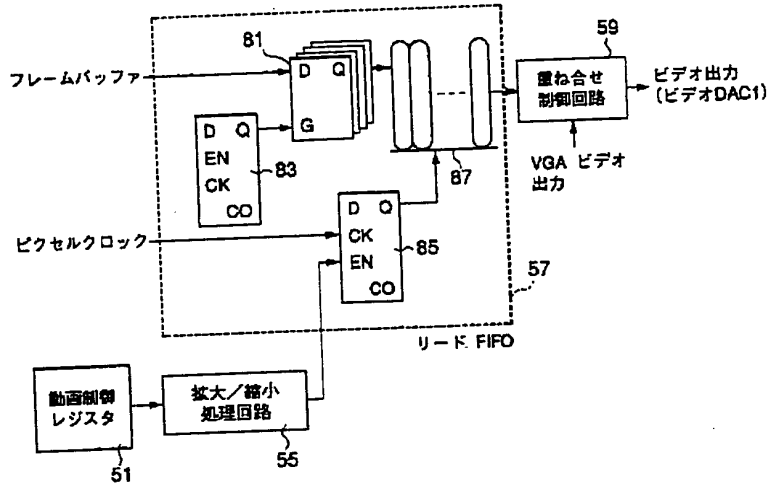
【図13】



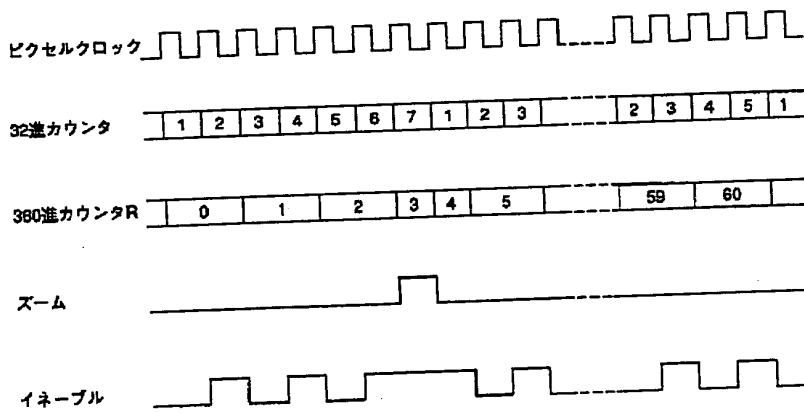
【図15】



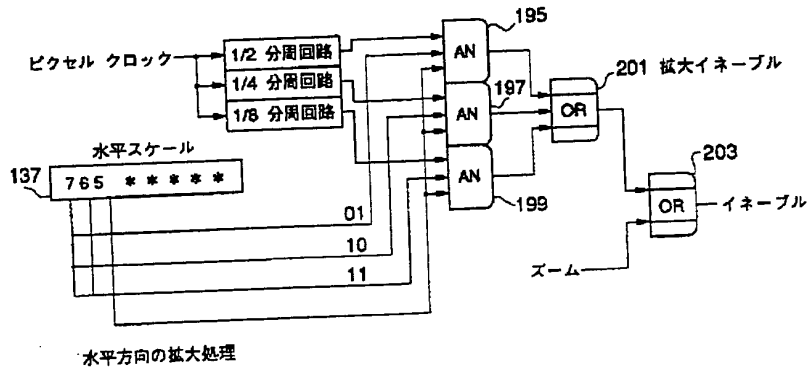
【図14】



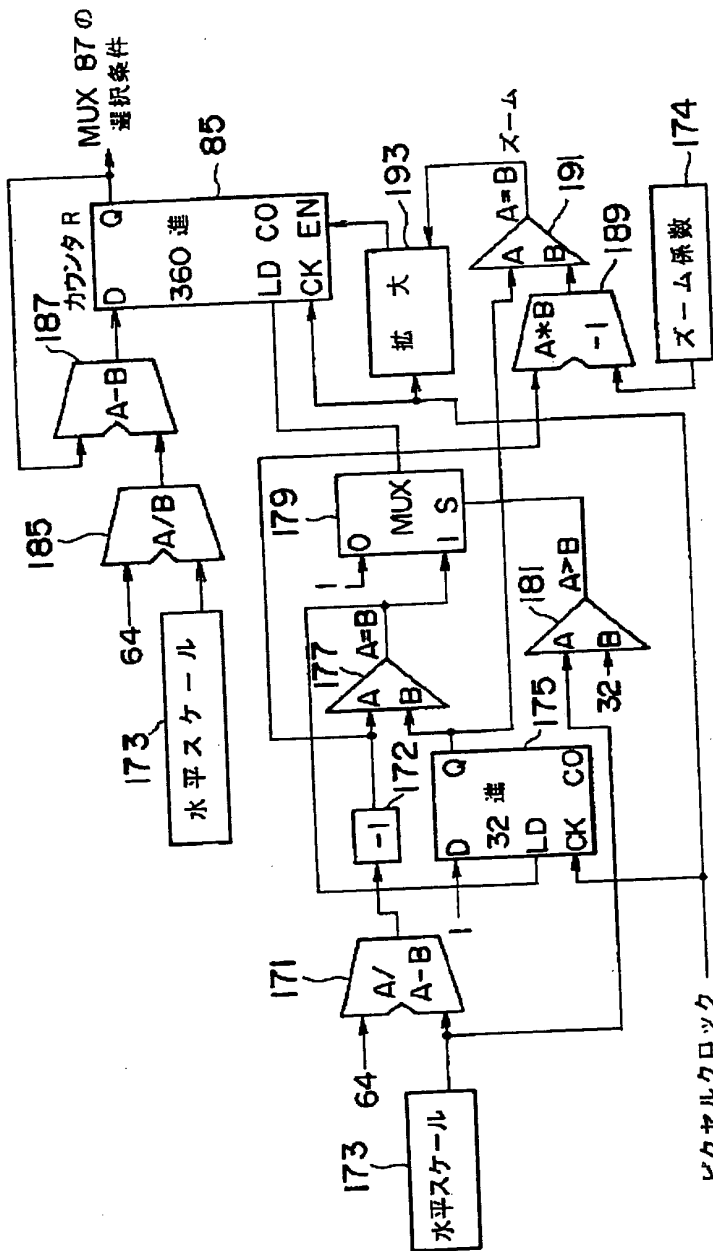
【図17】



【図18】



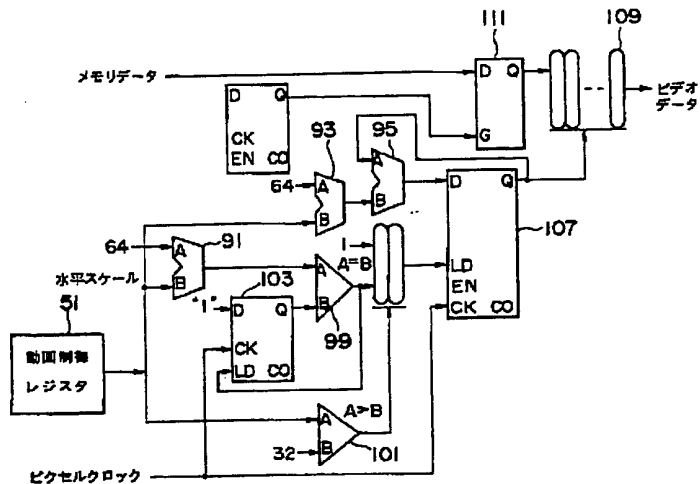
【図16】



ピクセルクロック  
 カウンタRのロード値 = カウンタ値 + (64 / 水平スケール)  
 カウンタRのロードインhibit = ピクセル毎  
 = 64 / (64 - 水平スケール) ピクセル : 水平スケール > 32  
 : 水平スケール ≤ 32  
 水平方向の縮小



【図 20】



フロントページの続き

(51) Int. Cl.<sup>6</sup>

G 0 6 T 1/00

G 0 9 G 5/00

5/36

識別記号

庁内整理番号

F I

技術表示箇所

5 1 0 M 9471-5G

5 2 0 E 9471-5G

5 3 0 A 9471-5G